

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

008055034 **Image available**
WPI Acc No: 1989-320146/ 198944

Semiconductor device - has resin-covered dummy bumps around semiconductor chip on support substrate NoAbstract DWg 1/4

Patent Assignee: FUJI ELECTRIC MFG CO LTD (FJIE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1238148	A	19890922	JP 8865431	A	19880318	198944 B

Priority Applications (No Type Date): JP 8865431 A 19880318

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 1238148	A		2		
------------	---	--	---	--	--

Title Terms: SEMICONDUCTOR; DEVICE; RESIN; COVER; DUMMY; BUMP;

SEMICONDUCTOR; CHIP; SUPPORT; SUBSTRATE; NOABSTRACT

Derwent Class: U11; U14

International Patent Class (Additional): H01L-021/92

File Segment: EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

02940548 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 01-238148 [JP 1238148 A]
PUBLISHED: September 22, 1989 (19890922)
INVENTOR(s): NISHIZAWA MASATO
APPLICANT(s): FUJI ELECTRIC CO LTD [000523] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 63-065431 [JP 8865431]
FILED: March 18, 1988 (19880318)
INTL CLASS: [4] H01L-021/92; H01L-021/60
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JOURNAL: Section: E, Section No. 862, Vol. 13, No. 571, Pg. 13, December 18, 1989 (19891218)

ABSTRACT

PURPOSE: To hold the parallelism of a chip with respect to a semiconductor substrate and to improve the connecting strength against a twist or the like by surrounding the periphery of a bump electrode disposed substantially at an equal interval at the center of the chip with a dummy bump wholly in contact with the chip and the substrate.

CONSTITUTION: Bump electrodes 2 are so provided at the center of a chip 1 as to connect circuit elements in the chip to wiring conductors of a supporting board at positions occupying the vertexes of regular triangular shapes. Accordingly, the intervals between the adjacent electrodes 2 are substantially equal. Dummy bumps 3 are provided substantially at equal intervals at the peripheral edges of the chip 1 around the electrodes 2, and further surrounded by resin 4. Accordingly, the parallelism between the chip 1 by the bumps 3 and a circuit board 9 is reinforced to improve its strength against a distortion such as a twist, a thermal stress or the like.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-238148

⑬ Int. Cl.⁴

H 01 L 21/92
21/60

識別記号

庁内整理番号

B-6824-5F
Q-6918-5F
S-6918-5F

⑭ 公開 平成1年(1989)9月22日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-65431

⑰ 出 願 昭63(1988)3月18日

⑱ 発 明 者 西 澤 正 人 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山 口 巖

明 細 書

1. 発 明 の 名 称 半導体装置

2. 特 許 請 求 の 範 囲

1) 半導体チップの一面上の中心部に隣接するパンプ電極相互間の間隔をほぼ等しくして配置されたパンプ電極を用いてワイヤレスボンディング方式により半導体チップ面上の導体と対向する支持基板面上の導体が接続されるものにおいて、半導体チップ周辺の全境にわたって半導体チップ面および支持基板面の少なくとも一方の前記導体に接続される導体の存在しない箇所に対向面に接触し、樹脂によって被覆される複数のダミーパンプが設けられたことを特徴とする半導体装置。

3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、ワイヤレスボンディング方式による半導体チップの支持基板上への実装のために、半導体チップに形成された回路素子部上には絶縁膜を介して配線導体およびパンプ電極を設けた半導体装置に関する。

(従来の技術)

パンプ電極を用いて半導体チップを支持基板上に実装するのにワイヤレスボンディング方式を用いた場合、安定した支持を目的として第2図に示すようにチップ1の周辺の図示しないパッドの上にパンプ電極2を形成することが一般的であることはよく知られている。

(発明が解決しようとする課題)

しかし、チップ1の面積が大きくなるに伴い、パンプ電極2の間の最大距離は大きくなり、半導体材料とセラミックなどの支持基板材料との熱膨脹係数差から起こるヒートサイクル時の熱応力のため、パンプ電極接続部の損傷ないし破壊などの故障が起こり、半導体装置の信頼性が低下する欠点があった。この欠点を除くために、本出願人の出願に係る特願昭62-279676号明細書に記載されているように、パンプ電極をチップの中心部に隣接するパンプ電極相互間の間隔がほぼ等しくなるように配置することが提案されている。

本発明の課題は、上記提案の半導体装置の信頼

性をさらに向上せしめることにある。

(課題を解決するための手段)

上記の課題の解決のために、本発明は、半導体チップの一面上の中心部に隣接するパンプ電極相互間の間隔をほぼ等しくして配置されたパンプ電極を用いてワイヤレスボンディング方式により半導体チップ面上の導体と対向する支持基板面上の導体が接続される半導体装置において、半導体チップの周辺全域にわたって半導体チップ面および支持基板面の少なくとも一方の前記導体と接続される導体の存在しない個所で対向面に接触し、樹脂によって被覆される複数のダミーパンプが設けられたものとする。

(作用)

半導体チップの実装のためにチップ中央部にほぼ等間隔を保って配置されたパンプ電極の周囲を全域にわたってチップおよび半導体基板に接触するダミーパンプで囲むことにより、チップと基板の平行度が保持され、ねじれ等に対する接続強度が向上する。さらにダミーパンプを樹脂の被覆に

を設ける。さらにCr、Cu、Au膜を積層して下地金属層7を形成後、フォトリソ加工でパターンニングし、はんだめっきで下地金属層7上にはんだを被着し、約350℃に加熱して球状化し、パンプ電極2およびそれよりやや径の大きいダミーパンプ3を形成する。はんだの被着は、約50μmの厚さに真空蒸着することによってもよい。

第4図(a)、(b)は本発明の一実施例の実装工程を示し、第2図あるいは第3図に示したように半導体チップ1を下向きにして配線支持基板9の上に載せる(図a)。この際、ダミーパンプ3とパンプ電極2の高さの差を補償する厚さの予備はんだ層10を基板9の配線上に被着しておく。このあと、はんだをリフローさせるが、径の小さいパンプ電極3が先に融けて予備はんだ層と接着し、その間径の大きいダミーパンプ3で一定に保たれるチップ1、基板9間の距離だけの高さのはんだ柱にパンプ電極2がなる。しばらく後にダミーパンプ3が融けて基板9とチップ1の外周部が接着される。なお、ダミーパンプ3の接着性をよくするため、

より補強することにより接続強度が一層高くなる。

(実施例)

第1図は本発明の一実施例のパンプ電極の配置を示し、パンプ電極2はチップ1の中央部にそれぞれ正三角形の頂点を占める位置にチップ内の各回路素子と支持基板の配線導体との接続のために設けられている。従って隣接パンプ電極2間の間隔はほぼ等しい。これらのパンプ電極2を取囲んで、チップ1の周縁部にダミーパンプ3がほぼ等間隔で設けられていて、さらに樹脂4によって包囲されている。

第3図はチップ1の一部を拡大して示したもので、チップ1の領域11に酸化膜51の開口部で接触するMからなる第一配線導体61の上に低溫CVD酸化物からなる層間絶縁膜52を介して第二配線導体62が形成され、絶縁膜52の開口部で第一配線導体61と接触している。この第二配線導体62の上および層間絶縁膜52の上を窒化物からなるパッシベーション膜8で覆い、フォトリソで第二配線導体62の上およびチップ1の外周近くに開口部

予めダミーパンプ接触部の基板9あるいはチップ1に導体層を独立して設け、予備はんだ層を設けてもよい。例えば、パンプ電極2の直径が50μm、ダミーパンプ3の直径が62μmとすれば、体積についてはダミーパンプはパンプ電極の2倍となり、リフロー時間も加える熱量を一定とすればほぼ2倍となるので上述のようにパンプ電極3は細長い柱状となり、断面に比して高さが長いので、チップ1と基板9との熱膨脹係数差による応力が分散し、接続部の損傷ないし破壊が起こることがない。さらに、第4図(a)に示すようにダミーパンプ3にエポキシ樹脂などの樹脂4を被覆して固定することによりダミーパンプ3によるチップ1と配線基板9の平行保持は補強され、ねじれ、熱応力等の歪に対する強度が向上する。

(発明の効果)

本発明によれば、半導体材料と実装支持基板材料との熱膨脹係数の差による熱応力を小さくするためチップ中央にパンプ電極をほぼ等間隔にして配置した場合、電極の設けられないチップ周辺部

に全周にわたってダミーパンプを設けることにより、チップと実装基板の固着が中央部ばかりでなく周辺部でも行われて両者の平行保持が確実にでき、さらにダミーパンプを樹脂で被覆することにより、熱応力の負荷の大きい周辺部の接合強度がより強くなるので、実装の信頼性の向上への寄与は大きい。またチップに形成したダミーパンプの径をパンプ電極より大きくすることにより、パンプ電極はチップと基板間で引きのばされた柱状にすることも可能で、パンプ電極内の応力の分散を図ることができ、信頼性の一層の向上が可能になる。

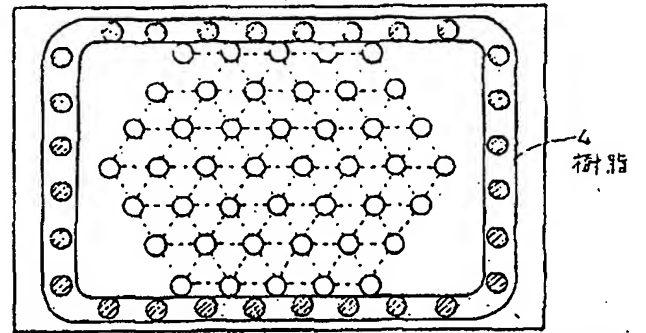
4. 図面の簡単な説明

第1図は本発明の一実施例の半導体チップの平面図、第2図は従来の半導体チップの平面図、第3図は本発明の一実施例の実装前の半導体チップの要部断面図、第4図(a)、(b)は本発明の一実施例の実装工程を順に示す断面図である。

1：半導体チップ、2：パンプ電極、3：ダミーパンプ、4：樹脂、5：配線基板。

代理人弁護士 山口 貞

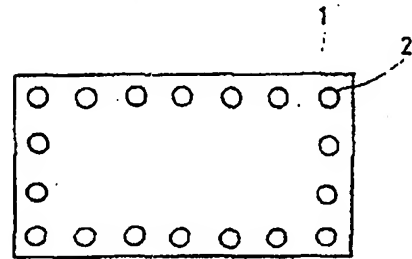
2 パンプ電極



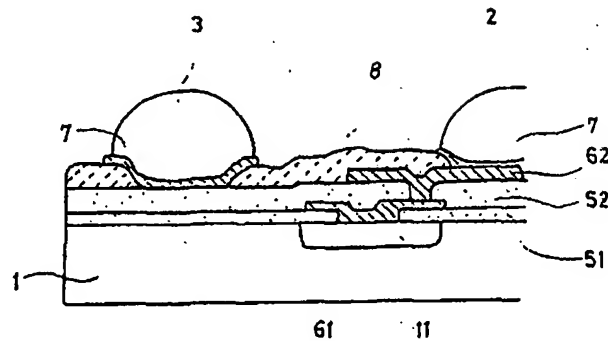
3 ダミーパンプ

1 半導体チップ

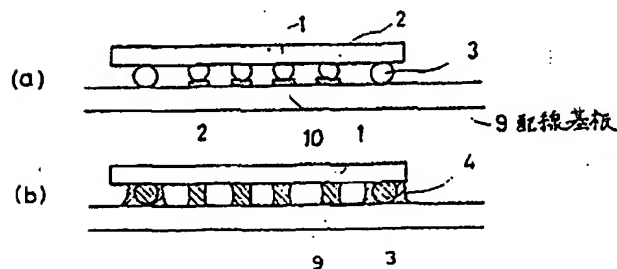
第1図



第2図



第3図



第4図